

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-260883

(43)Date of publication of application : 13.10.1995

(51)Int.Cl. G01R 31/28
G06F 11/22

(21)Application number : 06-046706

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.03.1994

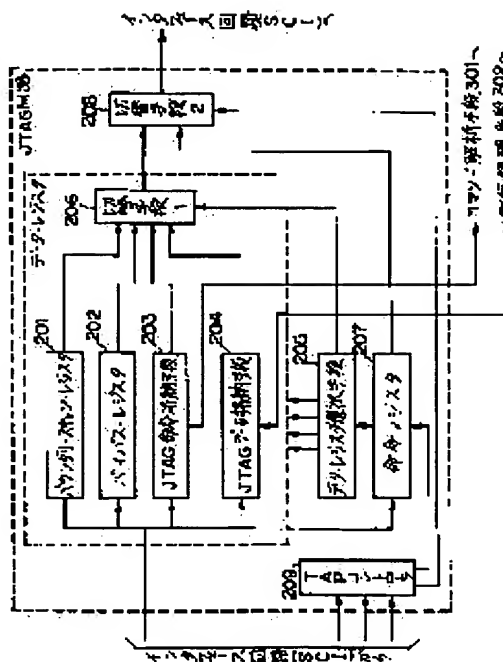
(72)Inventor : KONO KAYOKO
TAKAGI KOJI
SUDO SHINICHI
HARA KAZUHIRO

(54) SYSTEM TESTER

(57)Abstract:

PURPOSE: To reduce the scale of circuit by providing a boundary scan register for holding the signal, a JTAG instruction storing means, a data register means, a data register selecting means, etc., thereby reducing the number of wirings.

CONSTITUTION: A data register comprises a boundary scan register 201 for capturing and holding a signal appearing at each terminal of an LSI to be tested, a bypass register 202 for bypassing the signal to other LSI, a JTAG instruction storing means 203 storing the control command for a system logic circuit, and a JTAG storing means 204 storing the control data for the system logic circuit. A JTAG circuit comprises a data register selecting means 205 including a decoder circuit for selecting one data register, a switching means 206 including a multiplexer for switching the outputs of data register according to a command from the means 205, and an instruction register 207 for shifting and latching a serial data and delivering a parallel data to the means 205.



LEGAL STATUS

[Date of request for examination] 21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-260883

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F 1	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/22	3 3 0 J		G 0 1 R 31/ 28	G

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願平6-46706

(22) 出願日 平成6年(1994)3月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 河野 香代子

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 高木 康志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 須藤 晋一

神奈川県横浜市港北区新横浜2丁目4番19

号 株式会社富士通プログラム技研内

(74) 代理人 弁理士 大菅 義之 (外1名)

最終頁に続く

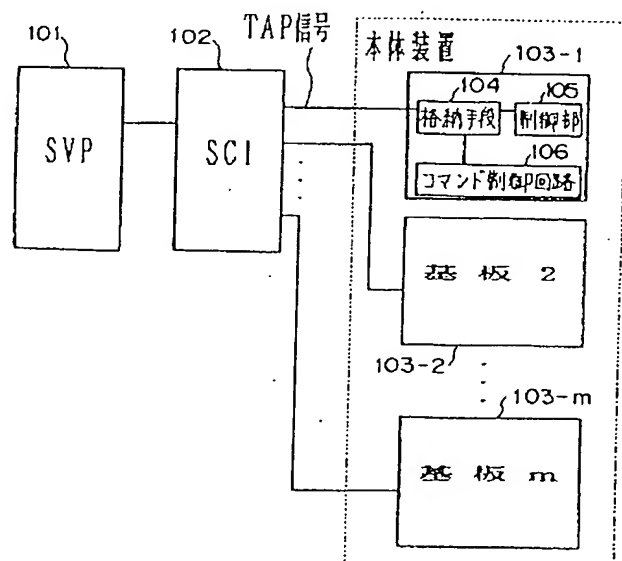
(54) 【発明の名称】 システム試験装置

(57) 【要約】

【目的】 本発明は、高密度実装プリント基板の試験等を行う際、JTAG回路を用いてることによって、試験装置の回路規模の削減、試験装置と試験される基板との接続のための配線本数の削減を目的とする。

【構成】 バウンダリ・スキャン・レジスタ101、バイパス・レジスタ102、システム論理回路を制御するためのコマンドを格納するJTAG命令格納手段103、システム論理回路を制御するためのデータを格納するためのJTAGデータ格納手段104とをデータ・レジスタとして有するJTAG回路と、該JTAG命令格納手段103から出力されるコマンドを解析するコマンド解析手段201と、該コマンド解析手段201の解析結果に従った処理を実行する実行処理手段202とによって構成される。

本発明の原理を示すブロック図(その1)



【特許請求の範囲】

【請求項 1】 インタフェースに接続され、システムの検査を行うためのスキャンテスト信号をバスを介して入力して、システムを有する本体装置を試験する装置であって、前記バスを介してシステムを動作させるためのコマンドとデータを格納する手段（104）と、前記システムの検査を制御するとともに、前記格納手段（104）に対してコマンドとデータを選択的に入出力する制御部（105）と、を設けたことを特徴とするシステム試験装置。

【請求項 2】 前記格納手段（104）よりコマンドとデータを入力してシステムに転送するコマンド制御回路（106）を設けたこと、

を特徴とする請求項 1 に記載のシステム試験装置。

【請求項 3】 試験する L S I の各端子に現れる信号を捕らえ、保持するバウンダリ・スキャン・レジスタ（201）と、

他の L S I に信号をバイパスするバイパス・レジスタ（202）と、

システム論理回路を制御するためのコマンドを格納する J T A G 命令格納手段（203）と、

システム論理回路を制御するためのデータを格納する J T A G データ格納手段（204）とをデータ・レジスタとして有し、

前記データ・レジスタの中から 1 つを選択するデータ・レジスタ選択手段（205）と、

前記データ・レジスタの各出力を、前記データ・レジスタ選択手段（205）の指示に従って切り替える切替手段 1（206）と、

命令をラッチし、前記データ・レジスタ選択手段（205）へ出力する命令レジスタ（207）と、

前記データ・レジスタ、前記データ・レジスタ選択手段（205）、前記切替手段 1（206）、及び前記命令レジスタ（207）を制御する T A P コントローラ（209）と、

を有することを特徴とするシステム試験装置。

【請求項 4】 前記 J T A G 命令格納手段（203）から出力されたコマンドの内容を解析するコマンド解析手段（301）と、

前記コマンド解析手段（301）で行われた解析結果に従った処理を実行する実行処理手段（302）と、

を有することを特徴とする請求項 3 に記載のシステム試験装置。

【請求項 5】 前記 J T A G 命令格納手段（203）

は、コマンドをシフトしてラッチすること、

を特徴とする請求項 3、又は 4 に記載のシステム試験装置。

【請求項 6】 前記 J T A G 命令格納手段（203）から前記コマンド解析手段（301）へのコマンドの転送は、前記 T A P コントローラ（209）内のテスト論理

の状態遷移が、コマンドの更新状態へ遷移した時に行われること、

を特徴とする請求項 4、又は 5 に記載のシステム試験装置。

【請求項 7】 前記実行処理手段（302）は、前記システム論理回路内レジスタ（303）から前記 J T A G データ格納手段（204）へデータを転送すること、を特徴とする請求項 4、又は 5 に記載のシステム試験装置。

【請求項 8】 前記 J T A G データ格納手段（204）は、前記システム論理回路内レジスタ（303）からデータが転送される際は、転送後にラッチしてシフトすること、

を特徴とする請求項 7 に記載のシステム試験装置。

【請求項 9】 前記システム論理回路内レジスタ（303）から前記 J T A G データ格納手段（204）へのデータの転送は、前記 T A P コントローラ（209）内のテスト論理の状態遷移が、データの更新状態へ遷移した時に行われること、

を特徴とする請求項 7、又は 8 に記載のシステム試験装置。

【請求項 10】 前記実行処理手段（302）は、前記 J T A G データ格納手段（204）から前記システム論理回路内レジスタ（303）へデータを転送すること、を特徴とする請求項 4、又は 5 に記載のシステム試験装置。

【請求項 11】 前記 J T A G データ格納手段（204）は、前記システム論理回路内レジスタ（303）へデータを転送する際は、シフトしてラッチした後に転送を行うこと、

を特徴とする請求項 10 に記載のシステム試験装置。

【請求項 12】 前記 J T A G データ格納手段（204）から前記システム論理回路内レジスタ（303）へのデータの転送は、前記 T A P コントローラ（209）内のテスト論理の状態遷移が、データの更新状態へ遷移した時に行われること、

を特徴とする請求項 10、又は 11 に記載のシステム試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高密度実装プリント基板の試験等に用いられる J T A G 回路によるシステム試験装置に関する。

【0002】

【従来の技術】 L S I の高集積化が進み、より複雑な回路が、より小さなチップサイズの L S I に搭載できるようになった。また、プリント基板の表面実装技術が進み、より多くのチップ部品をプリント基板に実装できるようになった。それに伴って、小型で高性能のシステムを構築することが可能になったが、その反面、プリント

基板上の各LSIの試験が難しくなった。

【0003】IEEE標準1149.1として、Joint Test Action Group (以後、JTAGと略す) によって提案されているボードテスト手法では、LSI内部に組み込むテスト機構について定義されている。以下に、JTAGによって提案されたバウンダリ・スキャン・アーキテクチャ (以後、JTAG回路と略す) について説明する。

【0004】図8は、従来のJTAG回路の構成を示す図である。JTAG回路は最小構成として、テスト・アクセス・ポート (以後、TAPと略す)、TAPコントローラ807、スキャン可能な命令レジスタ804、一連のスキャン可能なバウンダリ・スキャン・レジスタ801とバイパス・レジスタ802、レジスタからの出力を選択して出力するマルチプレクサ805、806、そしてバウンダリ・スキャン・レジスタ801かバイパス・レジスタ802を選択するデータ・レジスタ・セクタ803で構成される。

【0005】TAP信号は、テスト・クロック入力(TCK)、テスト・モード選択入力(TMS)、テスト・データ入力(TDI)、テスト・データ出力(TDO)、更にテスト論理を初期化するためのテスト・リセット入力(TRST)から成る。

【0006】バウンダリ・スキャン・レジスタ801は、テストするLSIの各端子にシフトレジスタが1段ずつ配置され、スキャン・テストの原理によってLSIの端子に現れる信号を捕らえたり、保持したりするレジスタである。

【0007】また、バイパス・レジスタ802は、1段のシフトレジスタで構成され、テスト・データ入力TDIからの入力をテスト・データ出力TDOへバイパスすることを可能にしている。従って、JTAG回路から他のJTAG回路へデータをバイパスする際に、バイパス・レジスタ802が使用される。

【0008】TAPコントローラ807は、テスト・モード・選択入力TMS及びテスト・クロック入力TCKによって、命令レジスタ804或いはバウンダリ・スキャン・レジスタ801かバイパス・レジスタ802へのデータのシフト動作を行う。シフト動作によって、命令レジスタ804へ書き込まれたデータは、データ・レジスタ・セクタ803に入力され、1つのレジスタが選択され、バウンダリ・スキャン動作、或いはバイパス動作が行われる。そして、マルチプレクサ3 805 (MUX3) から選択されたレジスタの出力信号が出力される。また、マルチプレクサ4 806 (MUX4) は、命令レジスタ804か、バウンダリ・スキャン・レジスタ801又はバイパス・レジスタ802からの出力信号を選択して出力するものである。

【0009】図9は、テスト論理の状態遷移を示す図である。テスト論理の状態遷移は、TAPコントローラ8

07で制御され、様々なテスト状態が実現される。TAPコントローラ807は、テスト・アクセス・ポートTAPの内、テスト・モード選択入力TMS、テスト・クロック入力TCK、及びテスト・リセット入力TRSTによって制御される。

【0010】TAPコントローラ807が初期化された直後は、TEST-LOGIC-RESET状態(S201)にある。この状態にある時は、テスト論理が使用不能であり、システム論理の通常動作が可能な状態である。

【0011】それぞれの状態は、テスト・クロック入力TCKの立ち上がり時のテスト・モード選択入力TMSの状態によって遷移し、例えばTEST-LOGIC-RESET状態(S201)にある時に、テスト・クロック入力TCKが立ち上がり、その時のテスト・モード選択入力TMSが“0”であればRUN-TEST/IDLE状態(S202)へ遷移し、テスト・モード選択入力TMSが“1”であればTEST-LOGIC-RESET状態(S201)のまま、状態が遷移しないことを示している。

【0012】RUN-TEST/IDLE状態(S202)は、テスト実行中の基本状態であり、スキャン動作が今から行われるか、或いはスキャン動作中の中間状態を示している。SELECT-DR-SCAN状態(S203)へ遷移すると、スキャン・シーケンスが初期化される。

【0013】次に、テスト・モード選択入力TMSの状態によって、CAPTURE-DR状態(S211)へ遷移するか、或いはSELECT-IR-SCAN状態(S204)へ遷移するかに分かれるが、SELECT-IR-SCAN状態(S204)へ遷移する場合について説明する。SELECT-IR-SCAN状態(S204)へ遷移すると、命令レジスタ804のスキャン・シーケンスが初期化される。

【0014】CAPTURE-IR状態(S205)へ状態が遷移すると、命令レジスタ804中のシフトレジスタに固定パターンが取り込まれる。この固定パターンは、下位2ビットがバイナリ・コード“01”に固定されており、設計に固有な情報をこのパターンに盛り込むことが可能である。この命令レジスタ804の内容を、シフト動作を行いながらテスト・データ出力TDOを通して読み出すことが可能である。

【0015】次に、SHIFT-IR状態(S206)へ遷移すると、命令レジスタ804中のシフトレジスタがテスト・データ入力TDIとテスト・データ出力TDOに接続される。テスト・モード選択入力TMSが“0”の状態の時にテスト・クロック入力TCKが立ち上がる毎に、テスト・データ出力TDO側へデータがシフトされる。命令レジスタ804が8ビットであれば、8回シフト動作を繰り返すことによって、所定の命令を命令レジスタ804に書き込むことが可能であり、又、シフト動作を繰り返しながらテスト・データ出力TDOを読むことによって、命令レジスタ804の内容を読み出すことも可能である。

【0016】シフト動作が終了後に、EXIT1-IR状態(S207)へ状態が遷移する。この状態は、次にスキャン動作を終了するか、或いは命令レジスタ804のシフト動作を休止するかのいずれかの状態へ遷移する。テスト・モード選択入力TMSを“0”にして、テスト・クロック入力TCKを立ち上げるとPAUSE-IR状態(S208)へ遷移し、テスト・モード選択入力TMSを“1”にして、テスト・クロック入力TCKを立ち上げるとUPDATE-IR状態(S210)へ遷移する。

【0017】PAUSE-IR状態(S208)へ遷移すると、テスト・データ入力TDIとテスト・データ出力TDO間のシリアル・バスにおける命令レジスタ804のシフト動作が休止される。この状態は、外部記憶装置からテスト機構内のメモリに新しいパターンをロードする場合などに使用される。

【0018】次に、テスト・モード選択入力TMSを“1”にして、テスト・クロック入力TCKを立ち上げるとEXIT2-IR状態(S209)へ遷移する。更に、スキャン動作の必要がある場合には、再びSHIFT-IR状態(S206)へ遷移してシフト動作を行い、スキャン動作を終了するのであれば、次のUPDATE-IR状態(S210)へ遷移する。

【0019】UPDATE-IR状態(S210)へ遷移すると、シフトレジスタにシフトされた新しい命令がラッチされ、並列に出力される。ラッチが完了すると、命令の実行が始まる。例えば、バイパスの命令が命令レジスタ804にロードされると、バイパス・レジスタ802が選択され、バイパス・レジスタ802のシフトによって、バイパス動作が行われる。

【0020】状態遷移図のS203、及びS211～S216は、バウンダリ・スキャン・レジスタ801又はバイパス・レジスタ802におけるスキャン動作について示している。命令レジスタ804におけるスキャン動作と比較すると、対象となるレジスタがバウンダリ・スキャン・レジスタ801又はバイパス・レジスタ802となる点と、バウンダリ・スキャン・レジスタ801とバイパス・レジスタ802のどちらが選択されているかによって、スキャン動作のシフト回数が違ってくる点で異なるが、おおよその流れは同じであるので、ここでの説明は省略する。

【0021】図10は、従来の本体装置を検査する際の全体構成を示す図である。サービス・プロセッサ1001(SVP)は、インタフェース回路1002(SCI)と接続され、本体装置内の各基板1003-1～1003-mのレジスタ制御、メモリへのデータ書き込み、或いはメモリからのデータ読み出し等の制御コマンドを発行する。また、SVP1001は各基板内のJTAG回路の制御も行う。SCI1002と本体装置内の各基板は、それぞれJTAG回路を制御するためのテスト・アクセス・ポートTAP、及び制御コマンド、制御

データ等を受受するためのコマンド・バスによって接続される。

【0022】各基板に搭載されているLSI内のJTAG回路のテスト・データ出力TDOが、同じ基板の別のLSI内のJTAG回路のテスト・データ入力TDIに接続されている(特に、図示しない)。従って、基板内で各LSIを一巡する大きなスキャン・チェーンが形成され、インタフェース回路SCIからの5本のTAP信号を制御することによって、基板内の全てのLSIの試験を行うことが可能になる。

【0023】本体装置内の各基板の試験を行う手順として、先ずSVP1001は各基板に対して、基板に搭載のLSI内のレジスタ、メモリ等の設定を行うためにコマンド・バスを通してコマンドを発行する。LSI内のコマンド制御部(特に、図示は省略する)でコマンドの解析を行い、SVP1001から転送されたデータを参照しながらコマンドの実行を行い、LSI内のレジスタ等の回路の設定を行って回路を動作させる。

【0024】次に、JTAG回路の制御を上述した状態遷移に従って行い、試験を行うLSIに対してはバウンダリ・スキャン・レジスタ801を選択する。また、試験を行う必要のないLSIに対しては、バイパス・レジスタ802を選択する。そして、スキャン動作を行うことによって、LSI内の各回路の状態をスキャンすることが可能になる。

【0025】また、試験の最中に前記コマンド・バスからデータを読み出して、LSI内のレジスタの状態、或いはメモリ内のデータ等を知ることにも可能である。

【0026】

【発明が解決しようとする課題】従来の試験装置では、SCI1002と各基板1003-1～1003-mとの接続は、それぞれの基板毎にテスト・アクセス・ポートTAP、及びコマンド・バスを接続する必要があるため、基板の枚数の増加に伴って配線本数が大幅に増加するという問題があった。

【0027】また、SCI1002内にJTAG回路を制御するためのJTAGスキャン用インタフェース回路、及びコマンドを発行するためのコマンド用インタフェース回路が必要である。従って、試験する基板毎にそれぞれJTAGスキャン用インタフェース回路、及びコマンド用インタフェース回路をSCI1002内に用意する必要があり、試験を行う基板の枚数が増える毎にSCI1002の回路規模が大幅に増加するという問題があった。

【0028】

【課題を解決するための手段】図2、及び図3は、本発明の原理を示すブロック図である。データ・レジスタは、試験するLSIの各端子に現れる信号を捕らえ、保持するバウンダリ・スキャン・レジスタ201と、他のLSIに信号をバイパスするバイパス・レジスタ202

と、システム論理回路を制御するためのコマンドを格納する JTAG 命令格納手段 203 と、システム論理回路を制御するためのデータを格納する JTAG データ格納手段 204 とによって構成される。実施例では、それぞれのデータ・レジスタは、シフト・レジスタ又はシフトレジスタとラッチ回路で構成され、JTAG 命令格納手段 203 は JTAG 命令レジスタ、JTAG データ格納手段 204 は JTAG データ・レジスタとして説明する。

【0029】データ・レジスタ選択手段 205 は、前記データ・レジスタの中から 1 つを選択するもので、デコード回路で構成され、実施例ではデータ・レジスタ・セレクトとして説明する。

【0030】切替手段 1 206 は、前記データ・レジスタの各出力を、前記データ・レジスタ選択手段 205 の指示に従って切り替えるもので、マルチプレクサで構成され、実施例では MUX 1 として説明する。

【0031】命令レジスタ 207 は、シリアル・データをシフトしてラッチし、並列データとして前記データ・レジスタ選択手段 205 へ出力するものであり、シフトレジスタ又はシフトレジスタとラッチ回路で構成される。

【0032】切替手段 2 208 は、前記切替手段 1 206 の出力と、前記命令レジスタ 207 の出力を切り替えるものであり、マルチプレクサで構成され、実施例では MUX 2 として説明する。

【0033】TAP コントローラ 209 は、前記データ・レジスタ、前記データ・レジスタ選択手段 205、前記切替手段 1 206、前記命令レジスタ 207、及び前記切替手段 2 208 を制御するものである。

【0034】コマンド解析手段 301 は、前記 JTAG 命令格納手段 203 から出力されたコマンドの内容を解析するものであり、実施例ではコマンド解析部として説明する。

【0035】実行処理手段 302 は、前記コマンド解析手段 301 で行われた解析結果に従った処理を実行するものであり、実施例では実行処理部として説明する。

【0036】

【作用】本発明の動作原理を、図 2、及び図 3 を用いて説明する。インタフェース回路 (SCI) からの信号によって、TAP コントローラ 209 の制御が行われる。TAP コントローラ 209 は、データ・レジスタ内の各レジスタ、各格納手段、及び命令レジスタの選択を行い、選択されたレジスタ、或いは格納手段に対して、データのシフト動作、及びラッチを行う。

【0037】TAP コントローラ 209 によって、命令レジスタ 207 が選択されれば、シフト動作によって命令レジスタ 207 内に命令がシフトされ、ラッチされた後に、命令がデータ・レジスタ選択手段 205 へ転送される。データ・レジスタ選択手段 205 は、転送された

命令に従ってデータ・レジスタの中から 1 つを選択し、データ・レジスタのシフト動作は、その選択されたレジスタ、或いは格納手段に対して行われる。

【0038】TAP コントローラ 209 によって、バウンダリ・スキャン・レジスタ 201 が選択されれば、バウンダリ・スキャン・レジスタ 201 に LSI の各端子の信号がラッチされ、シフト動作が行われることによって、各端子の信号をスキャンすることが可能である。

【0039】TAP コントローラ 209 によって、バイパス・レジスタ 202 が選択されれば、バイパス・レジスタ 202 を介して、入力データが直接出力データとして出力され、外部へのデータ信号のバイパスが可能になる。

【0040】TAP コントローラ 209 によって、JTAG 命令格納手段 203 が選択されれば、シフト動作によって JTAG 命令格納手段 203 内にコマンドが書き込まれ、書き込まれたコマンドはコマンド制御部内のコマンド解析手段 301 へ転送される。コマンド解析手段 301 は、転送されたコマンドを解析して実行制御手段 302 へ解析結果を転送する。

【0041】前記コマンドが、システム論理回路内のレジスタ 303-1 ~ 303-L へのデータ書き込みであれば、TAP コントローラ 209 によって、JTAG データ格納手段 204 が選択されて、シフト動作によって JTAG データ格納手段 204 内にデータが書き込まれ、書き込まれたデータはコマンド制御部内の実行処理手段 302 へ転送される。転送されたデータは、前記解析結果に従って、システム論理回路内の所定のレジスタへ書き込まれる。

【0042】又、前記コマンドが、システム論理回路内のレジスタ 303-1 ~ 303-L からデータを読み出すコマンドであれば、実行処理手段 302 によって、システム論理回路内のレジスタ等から JTAG データ格納手段 204 へデータが転送され、TAP コントローラ 209 によって、JTAG データ格納手段 204 内のデータがシフトされ、そのデータを読み出すことによって、システム論理回路内のレジスタの状態を読み出すことが可能である。

【0043】切替手段 1 206 は、データ・レジスタのシフト動作が行われる場合に、データ・レジスタ内の選択されたレジスタ、或いは格納手段の出力を選択して出力する。

【0044】切替手段 2 208 は、シフト動作が行われる場合に、データ・レジスタか、或いは命令レジスタの内、選択されたレジスタの出力を選択して出力する。

【0045】

【実施例】図 1 は、本発明の原理を示すブロック図であるとともに、本発明の一実施例の全体構成を示している。サービスプロセッサ 101 (SVP) は、インタフェース回路 102 (SCI) と接続され、本体装置の各

基板内のJTAG回路の制御を行う。SCI102と本体装置内の各基板103-1~103-mとは、それぞれ5本のテスト・アクセス・ポートTAP（テスト・クロック入力TCK、テスト・モード選択入力TMS、テスト・データ入力TDI、テスト・データ出力TDO、テスト・リセット入力TRST）のみで接続されている。SVP101から発行された指示は、SCI102に入力されて、SCI102内でJTAG回路を制御するための信号であるTAP信号に変換されて出力される。

【0046】図4は、各基板でのLSIの接続を示している。LSI1~LSInには、通常のシステム論理の動作が行われるシステム論理回路と、試験のためだけに使用される回路が搭載されている。図4の基板に搭載された各LSIには、試験のためだけに使用される回路のみが記載されており、JTAG回路401-1~401-n、及びコマンドを解析して実行するコマンド制御部402-1~402-nがそれに相当し、通常動作が行われるシステム論理回路は省略している。

【0047】コマンド制御部402-1~402-nは、JTAG回路から転送されたコマンドを解析するコマンド解析部403-1~403-nと、コマンド解析部の解析結果に従った処理を行う実行処理部404-1~404-nとで構成される。実行処理部404-1~404-nは、通常の動作が行われるシステム論理回路のレジスタに直接データを設定したり、或いはレジスタから直接データを読み出すことが可能で、システムの通常動作では設定されることのないデータをレジスタに設定したり、通常動作では読み出すことが不可能な回路部分のデータを読み出ししたりすることが、試験中に可能になるが、その説明は後述する。

【0048】LSI1のJTAG回路には、SCI102からのテスト・データ入力TDIが入力される。LSI1のJTAG回路のテスト・データ出力TDOは、LSI2のJTAG回路のテスト・データ入力TDIに接続されている。同様に、LSI内のテスト・データ出力TDOは、次段のLSIのテスト・データ入力TDIに接続され、最後のLSInのテスト・データ出力TDOが、SCI102へのテスト・データ出力TDOに接続される。従って、インタフェース回路SCI102からのテスト・データ入力TDIは、LSI1~LSInを通して、再びインタフェース回路SCI102のテスト・データ出力TDOに戻るといった大きなスキャン・チェーンが形成される。

【0049】図5は、本発明のJTAG回路の一実施例を示している。JTAG回路は、テスト・アクセス・ポート（TAP）、TAPコントローラ509、スキャン可能な命令レジスタ507、一連のスキャン可能なデータ・レジスタ501~504、レジスタからの出力信号を選択して出力するマルチプレクサ506、508、そ

してデータ・レジスタ内のレジスタを選択するデータ・レジスタ・セクタ505で構成される。

【0050】TAP信号は、テスト・クロック入力（TCK）、テスト・モード選択入力（TMS）、テスト・データ入力（TDI）、テスト・データ出力（TDO）、更にテスト論理を初期化するためのテスト・リセット入力（TRST）から成る。

【0051】TAPコントローラ509は、テスト・モード選択入力TMS及びテスト・クロック入力TCKによって、命令レジスタ507或いはデータ・レジスタへのデータの入力及びそのデータのシフト動作を行う。命令レジスタ507が選択された場合に、テスト・データ入力TDIからの入力信号が順に命令レジスタ507にシフトされて、命令の設定が終了した後に、命令レジスタ507へ書き込まれたデータは、データ・レジスタ・セクタ505に入力され、データ・レジスタ内の1つのレジスタが選択される。

【0052】データ・レジスタは、バウンダリ・スキャン・レジスタ501、バイパス・レジスタ502、システム論理回路を制御するためのコマンドを格納するJTAGコマンド・レジスタ503（JIR）、及びシステム論理回路を制御するためのデータを格納するJTAGデータ・レジスタ504（JDR）で構成される。

【0053】JIR503は、シフトレジスタ又はシフトレジスタとラッチ回路で構成され、テスト・データ入力TDIからの入力データが順にシフトされて入力される。JIR503に所定のコマンドが設定されれば、JIR503内のコマンドはコマンド制御部内のコマンド解析部403へ転送され、コマンド解析部内でコマンドの解析が行われる。

【0054】JDR504も同様に、シフトレジスタ又はシフトレジスタとラッチ回路で構成され、JDR504内にデータを書き込む場合には、テスト・データ入力TDIからの入力データが順にシフトされて入力される。JDR504に所定のデータが設定されれば、JDR504内のデータはコマンド制御部内の実行処理部404へ転送され、コマンド解析部403内での解析結果に基づいた処理をそのデータを用いて行う。例えば、通常の動作が行われるシステム論理回路のレジスタにデータを設定したり、カウンタに特定の値を設定したり、或いは特定の回路のみをリセットすることも可能である。

【0055】また、逆に通常の動作が行われるシステム論理回路からデータを読み出すことも可能である。例えば、通常の動作が行われるシステム論理回路のレジスタに設定されているデータをJDR504に転送し、JDR504の内容を順にシフトして、テスト・データ出力TDOからの出力データを読み出すことによって、通常の動作が行われるシステム論理回路の状態を読み出すことが可能になる。従って、試験を行いたい回路からデータをJDR504内に転送できるようにしておけば、任

意の箇所の状態を読み出すことが可能になる。

【0056】図6は、システム論理回路内の試験箇所の一例を示す図である。8ビットのレジスタ601（8ビットのF/Fで構成される）は、システム論理回路内の回路である。レジスタ601の入力信号D0～D7、及びCKは、システム論理回路内の他の回路と接続している。レジスタ601に接続されているシステム論理回路内の他の回路を試験するために、JTAG回路を介してデータを書き込む必要がある。セレクトSEL0～8

（602～610）は、システム論理回路内の他の回路と、実行処理部404からの信号を切り替えるために付加された回路である。通常システム論理回路が動作する場合には、セレクトSEL0～8によってシステム論理回路内の他の回路からの信号が選択され、試験が行われる時に、コマンド解析部403でレジスタ601へのデータ書き込みが解析されれば、実行処理部404からの信号が選択される。

【0057】試験が行われている時に、コマンド解析部403によって、レジスタ601へのデータ書き込みが解析されると、JDR504の内容が実行処理部404、及びセレクトSEL0～7を介して、レジスタ601のD0～D7へ入力される。そして、TAPコントローラ509からの制御信号が、実行制御部404でレジスタ601への書き込みのためのタイミング信号に変換されて、レジスタ601のCKに入力され、試験用のデータがレジスタ601に設定される。その後、システム論理回路を動作させることによって、レジスタ601が関連している回路部分の所定の試験を行うことが可能になる。

【0058】又、試験が行われている時に、レジスタ601の内容を読み出す場合には、レジスタ601の出力Q0～Q7が、実行処理部404を介してJDR504に出力され、TAPコントローラ509からの制御信号によってJDR504にラッチされる。そして、SVP101は、インタフェース回路SCI102を介して、JDR504のシフト動作を行いながらテスト・データ出力TDOを読み出すことによって、レジスタ601の内容を読み出すことができる。

【0059】次に、JIR503及びJDR504にそれぞれコマンド、データを設定する時の状態遷移を、図7及び図9を用いて説明する。図9は、従来技術で説明したように、JTAG回路の命令レジスタ507、データ・レジスタにデータを設定する際の状態遷移を示しており、テスト・クロックTCKの立ち上がり時のテスト・モード選択入力TMSの状態によって、状態が遷移する。TAPコントローラ509が初期化された直後は、TEST-LOGIC-RESET状態にある。

【0060】図7は、JIR503にコマンドを設定した後、JDR504にデータを設定する場合の状態遷移を示したものである。図7に示す状態遷移は、図9の状

態遷移図を実際に遷移する順に並べたものである。S104～S112は、命令レジスタ507に“JIR SET”命令を設定する場合の状態遷移を示したものである。“JIR SET”命令は、データ・レジスタ内のJIR503を選択して、JIR503をテスト・データ入力TDIとテスト・データ出力TDOの間に接続する命令である。まず、テスト・モード選択入力TMSを“0”にしてテスト・クロック入力TCKを立ち上げることによって、TEST-LOGIC-RESET状態（S101）からRUN-TEST/IDLE状態（S102）に遷移する。この状態は、テスト実行中の基本状態であり、システム論理の通常動作の状態から、テスト状態に遷移したことを示している。以下、状態の遷移はテストクロック入力TCKの立ち上がり時のテスト・モード選択入力TMSの状態で行われるものとする。

【0061】RUN-TEST/IDLE状態（S102）からSELECT-DR-SCAN状態（S103）を経て、SELECT-IR-SCAN状態（S104）に遷移する。この時、命令レジスタ507のスキャン・シーケンスが初期化される。

【0062】CAPTURE-IR状態（S105）に遷移すると、命令レジスタ507中のシフトレジスタに固定パターンが取り込まれるが、ここではこの固定パターンは使用されない。

【0063】SHIFT-IR状態（S106）に遷移すると、命令レジスタ507中のシフトレジスタはテスト・データ入力TDIとテスト・データ出力TDOの間に接続され、テスト・データ出力TDOの方へデータがシフトされる。命令レジスタ507が8ビットのレジスタであるので、8回シフトすれば命令レジスタ507に命令が設定されるが、途中でシフト動作を休止する場合には、EXIT1-IR状態（S107）を経た後に、PAUSE-IR状態（S108）に遷移し、シフト動作を休止する必要がない場合には、所定のシフト動作が終了後、EXIT1-IR状態（S107）を経た後に、UPDATE-IR状態（S112）に遷移することになる。

【0064】PAUSE-IR状態（S108）に遷移するのは、例えばテスト機構内のメモリに新しいパターンをロードする場合などに行われる。休止の状態が終了して、シフト動作を再開する場合には、EXIT2-IR状態（S109）を経た後、再びSHIFT-IR状態（S110）に遷移し、残りのシフト動作を終了後、EXIT1-IR状態（S111）を経た後に、UPDATE-IR状態（S112）に遷移する。

【0065】UPDATE-IR状態（S112）に遷移すると、上記のシフト動作によって得られた新しい命令が、命令レジスタ507にロードされ、ラッチされる。ラッチされた命令は、並列に出力されてデータ・レジスタ・セレクト505に入力される。

【0066】以上の動作により、命令レジスタ507には“JIR SET”命令が設定され、データ・レジス

タ内のJIR503が選択されて、テスト・データ入力TDIとテスト・データ出力TDOの間にJIR503が接続されることになる。

【0067】S114～S122は、選択されたJIR503にコマンドを設定する場合の状態遷移を示している。S114～S122は、S104～S112の命令レジスタ507に命令を設定する場合とほぼ同じである。異なるのは、テスト・データ入力TDIからデータが入力されるのがJIR503である点と、シフト動作の回数がJIR503のシフトレジスタの段数である点だけであるので、詳細な説明は省略する。

【0068】UPDATE-DR状態(S122)に遷移すると、JIR503内に設定されたコマンドは、コマンド制御部内のコマンド解析部403に転送され、コマンドの解析が行われる。コマンドの解析結果が、通常のシステム論理回路の状態を読み出すためのコマンドであれば、その状態をデータ・レジスタ内のJDR504に転送する。また、逆に通常のシステム論理回路に状態を設定する場合であれば、以下に説明するシフト動作によってJDR504にデータが設定された後に、コマンドが実行される。

【0069】S125～S133は、命令レジスタ507に“JDR SET”命令を設定する場合の状態遷移を示したものである。“JDR SET”命令は、データ・レジスタ内のJDR504を選択して、JDR504をテスト・データ入力TDIとテスト・データ出力TDOの間に接続する命令である。動作は、S104～S112で説明した命令レジスタに“JIR SET”を設定する場合と、設定する命令が異なる点を除いては全く同じであるので、詳細な説明は省略する。

【0070】UPDATE-IR状態(S133)に遷移すると、“JDR SET”命令が、命令レジスタ507にロードされ、ラッチされる。ラッチされた命令は、並列に出力されてデータ・レジスタ・セクタ505に入力され、データ・レジスタ内のJDR504が選択されて、テスト・データ入力TDIとテスト・データ出力TDOの間にJDR504が接続されることになる。

【0071】S135～S143は、JDR504にシフト動作を行うことによってデータを設定するか、或いはシステム論理回路からJDR504に転送されたデータをシフト動作によって読み出す場合の状態遷移を示している。以下に、JDR504にデータを設定して、システム論理回路内の所定の回路にデータを書き込む場合の状態遷移について説明する。

【0072】SELECT-DR-SCAN状態(S135)を経て、CAPTURE-DR状態(S136)に遷移すると、選択されたJDR504に並列にデータがロードされる。しかし、シフト動作を行ってJDR504にデータを設定する場合には、このロードする動作は特に意味を持たない。

【0073】SHIFT-DR状態(S137)に遷移すると、

JDR504がテスト・データ入力TDIとテスト・データ出力TDOの間に接続され、テスト・クロック入力TCKの立ち上がる毎にデータが1個ずつテスト・データ出力TDOの方にシフトされ、JDR504のシフトレジスタの段数分だけ、シフト動作が繰り返される。

【0074】シフト動作の途中に、シフト動作を休止する必要がある時は、EXIT1-DR状態(S138)を経た後、PAUSE-DR状態(S139)に遷移してシフト動作を休止して、その間に他の処理を行う。そして、シフト動作を再開する場合には、EXIT2-DR状態(S140)を経て、再びSHIFT-DR状態(S141)へ遷移してシフト動作を行う。

【0075】シフト動作が終了後、EXIT1-DR状態(S142)を経て、UPDATE-DR状態(S143)に遷移する。UPDATE-DR状態に遷移すると、JDR504にシフトされたデータが、コマンド制御部内の実行処理部404へ転送される。コマンド制御部内ではコマンドの解析結果に従って、JDR504から転送されたデータをシステム論理回路内の所定の回路にデータが書き込まれるという処理が行われる。

【0076】次に、JDR504にシステム論理回路内の状態を転送し、転送されたデータを読み出す場合について説明する。SELECT-DR-SCAN状態(S135)を経て、CAPTURE-DR状態(S136)に遷移すると、選択されたJDR504に並列にデータがロードされる。この時、ロードされるデータは、コマンドで指定されたシステム論理回路内のレジスタ等の回路の信号状態である。

【0077】SHIFT-DR状態(S137)に遷移すると、JDR504がテスト・データ入力TDIとテスト・データ出力TDOの間に接続され、テスト・クロック入力TCKの立ち上がる毎にデータが1個ずつテスト・データ出力TDOの方にシフトされ、JDR504のシフトレジスタの段数分だけ、シフト動作が繰り返される。従って、シフトする毎にテスト・データ出力TDOを読み出せば、システム論理回路内の状態を知ることが可能である。以後の状態遷移S138～S143は、JDR504にシフト動作を行うことによってデータを設定する場合と同じであるので、説明は省略する。

【0078】一連の処理が終了すれば、SELECT-DR-SCAN状態(S145)、及びSELECT-IR-SCAN状態(S146)を経て、TEST-LOGIC-RESET状態(S147)に遷移し、システム論理の通常動作が可能になる。

【0079】以上説明したように、JTAG回路を使用して、試験状態にあるシステム論理回路内のレジスタ等の回路にデータを設定したり、或いはシステム論理回路内のレジスタ等の回路からデータを読み出すことが可能になるが、試験状態中に限る訳ではなく、通常動作状態中でもJTAG回路を使用して、上述した処理を行うことも可能であることは言うまでもない。

【0080】また、システム論理回路を制御するコマン

ドを格納するJIR503、及びシステム論理回路を制御するデータを格納するJDR504は、何ビットのシフトレジスタ、ラッチ回路であっても良いことも言うまでもない。

【0081】更に、データを必要としないコマンドの場合には、JIR503のみの実行も可能である。

【0082】

【発明の効果】本発明によれば、SCIと本体装置内の各基板との接続が、それぞれ5本のTAP信号のみで可能となり、配線本数が大幅に削減された。

【0083】また、従来SCI内に必要であったJTAG回路を制御するためのJTAGスキャン用インタフェース、コマンドを発行するためのコマンド用インタフェースの内、コマンド用インタフェースを削除することができ、SCIの回路規模を大幅に削減することが可能になった。

【図面の簡単な説明】

【図1】本発明の原理を示すブロック図（その1）

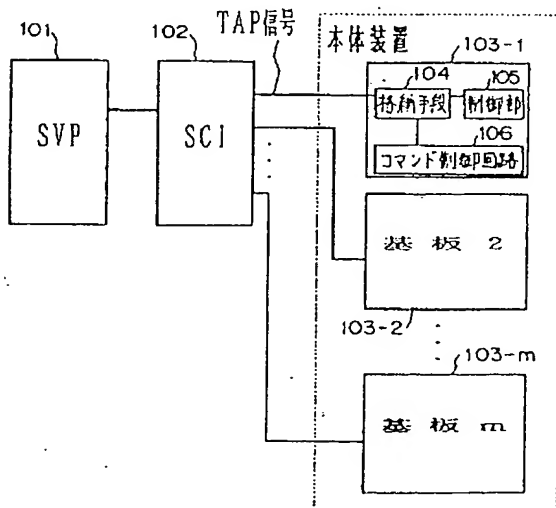
【図2】本発明の原理を示すブロック図（その2）

【図3】本発明の原理を示すブロック図（その3）

【図4】各基板でのLSIの接続を示す図

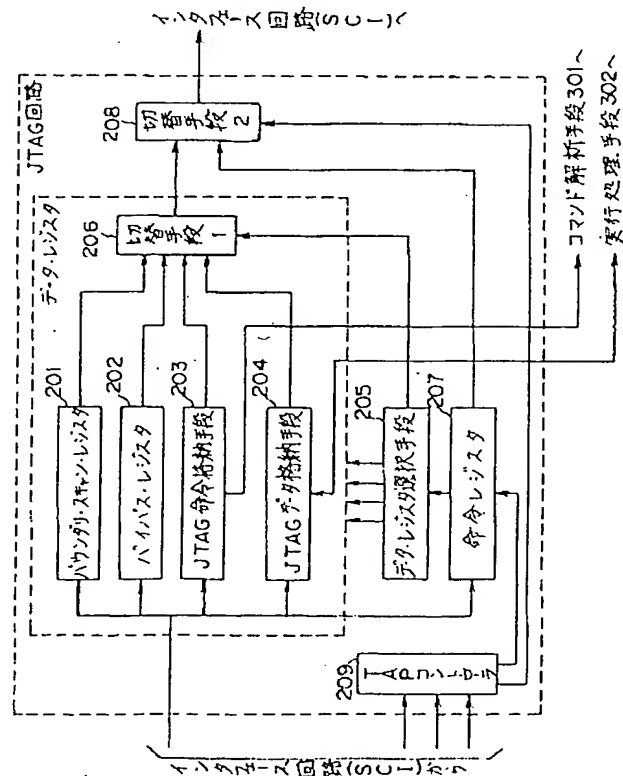
【図1】

本発明の原理を示すブロック図（その1）



【図2】

本発明の原理を示すブロック図（その2）



【図5】本発明のJTAG回路の一実施例

【図6】システム論理回路内の試験箇所の一例を示す図

【図7】JIR、JDRにそれぞれコマンド、データを設定する時の状態遷移を示す図

【図8】従来のJTAG回路の構成を示す図

【図9】テスト論理の状態遷移を示す図

【図10】従来の本体装置を検査する際の全体構成を示す図

【符号の説明】

201 バウンダリ・スキャン・レジスタ

202 バイパス・レジスタ

203 JTAG命令格納手段

204 JTAGデータ格納手段

205 データ・レジスタ選択手段

206 切替手段1

207 命令レジスタ

208 切替手段2

209 TAPコントローラ

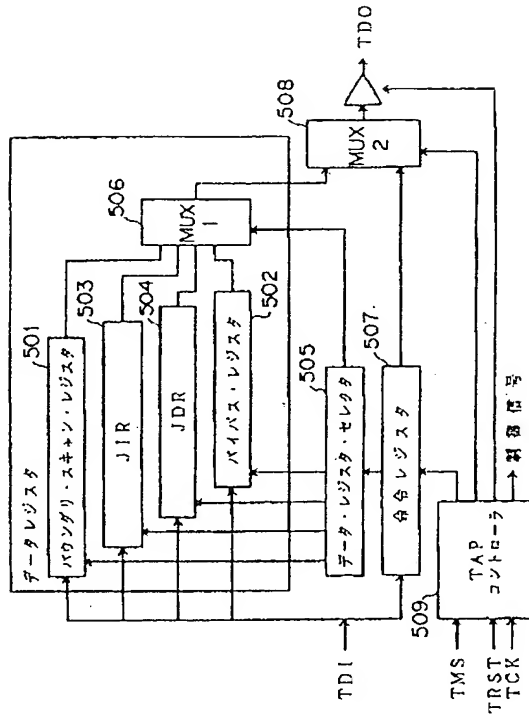
301 コマンド解析手段

302 実行処理手段

303 システム論理回路内レジスタ

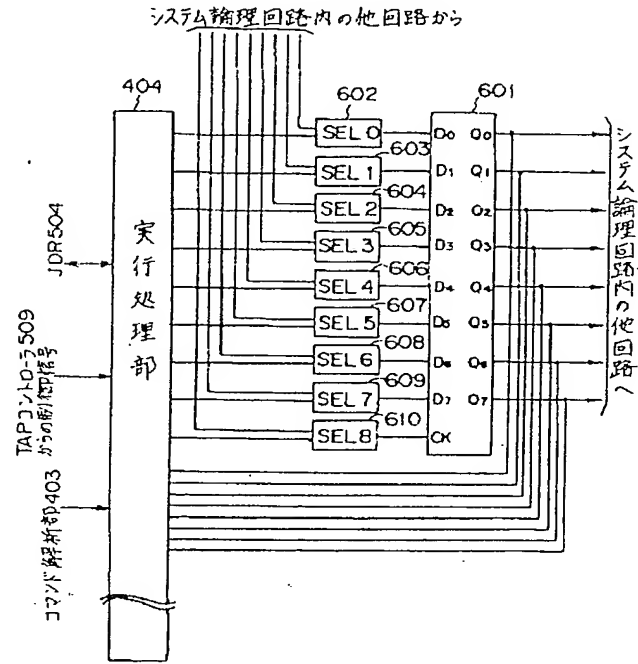
【図5】

本発明のJTAG回路の一実施例



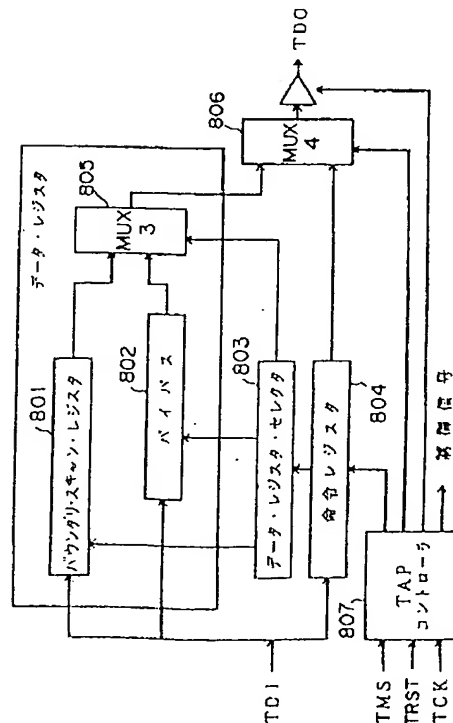
【図6】

システム論理回路内の試験箇所の一例を示す図



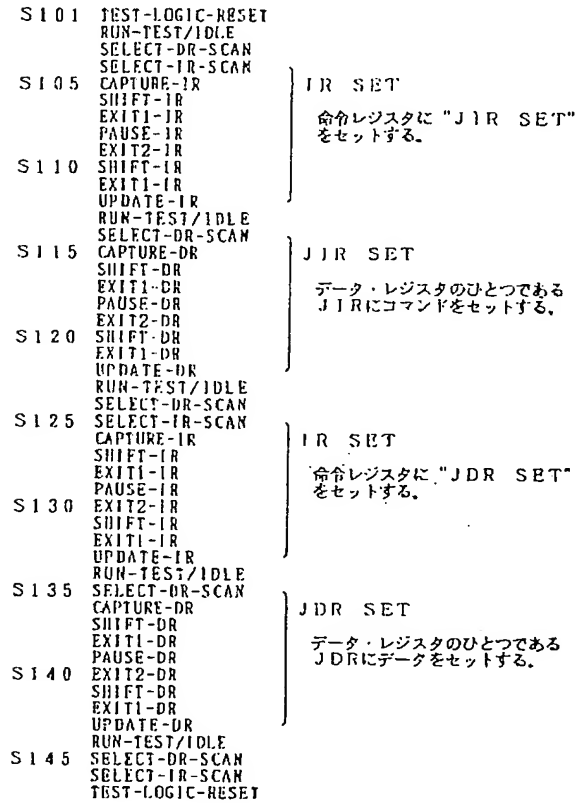
【図8】

従来のJTAG回路の構成を示す図



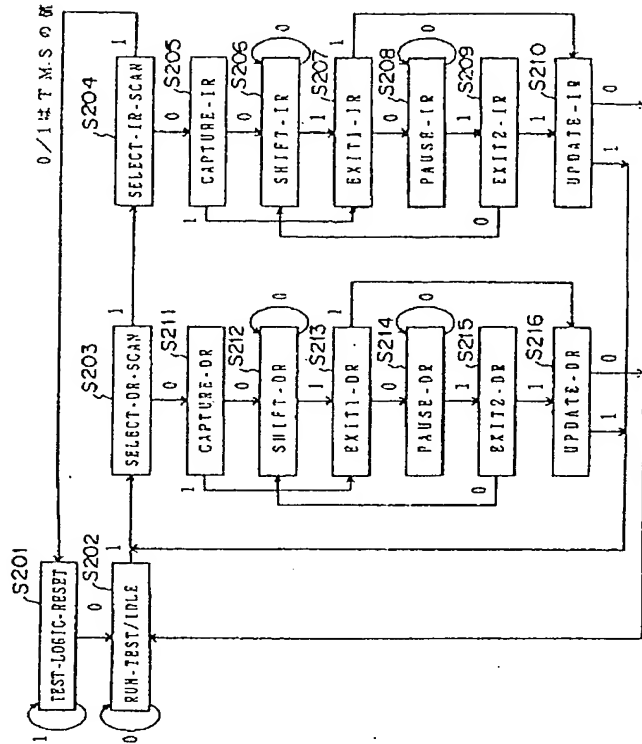
【図 7】

JIR, JDRにそれぞれコマンド、データを設定する時の状態遷移を示す図



【図 9】

テスト論理の状態遷移を示す図



フロントページの続き

(72)発明者 原 一広

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内